

Family list

1 family member for: **JP2000066233**

Derived from 1 application

1 **LIQUID CRYSTAL DISPLAY DEVICE**

Inventor: WAKAGI MASATOSHI; ISHIHARA SHINGO; (+2)

Applicant: HITACHI LTD

EC:

IPC: *G02F1/136; G02F1/1368; H01L29/786* (+10)

Publication info: **JP2000066233 A** - 2000-03-03

.....
Data supplied from the *esp@cenet* database - Worldwide

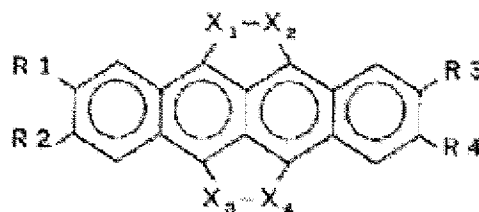
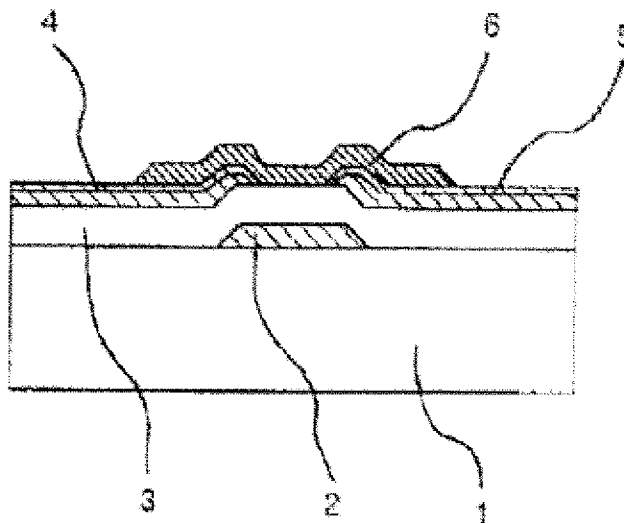
LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP2000066233
Publication date: 2000-03-03
Inventor: WAKAGI MASATOSHI; ISHIHARA SHINGO; ARATANI YOSHIKAZU;
ANDO MASAHIKO
Applicant: HITACHI LTD
Classification:
- international: G02F1/136; G02F1/1368; H01L29/786; H01L51/00; H01L51/05;
H01L51/30; G02F1/13; H01L29/66; H01L51/00; H01L51/05; (IPC1-7):
G02F1/136; H01L29/786; H01L51/00
- european:
Application number: JP19980230447 19980817
Priority number(s): JP19980230447 19980817

Report a data error here

Abstract of JP2000066233

PROBLEM TO BE SOLVED: To provide a liquid crystal display device having FETs using an org. material as a semiconductor layer having a large mobility and a small S-value showing the steepness of switching characteristics near the threshold by providing field effect transistors using a specified compd. in the semiconductor layer.
SOLUTION: This liquid crystal display device has a FET produced by forming a gate electrode 2, gate insulating layer 3, drain electrode 4, and source electrode 5 on an insulating substrate 1 and forming a semiconductor layer 6 expressed by formula such as tetrathiotetracene, teteraselenotetracene, tetratellurotetracene or derivs. of these compds. thereon. In the formula, X1 to X4 are S, Se or Te, R1 to R4 are hydrogen or substituents such as alkyl and halogen. By this constitution, FETs using an org. semiconductor having good threshold characteristics can be produced. By using the FETs, a liquid crystal display device with low electric power consumption and high image quality can be obt'd. at a low cost.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-66233

(P2000-66233A)

(43)公開日 平成12年3月3日(2000.3.3)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 2
H 0 1 L 51/00		H 0 1 L 29/28	
29/786		29/78	6 1 8 B

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21)出願番号 特願平10-230447

(22)出願日 平成10年8月17日(1998.8.17)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 若木 政利

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 石原 慎吾

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男

最終頁に続く

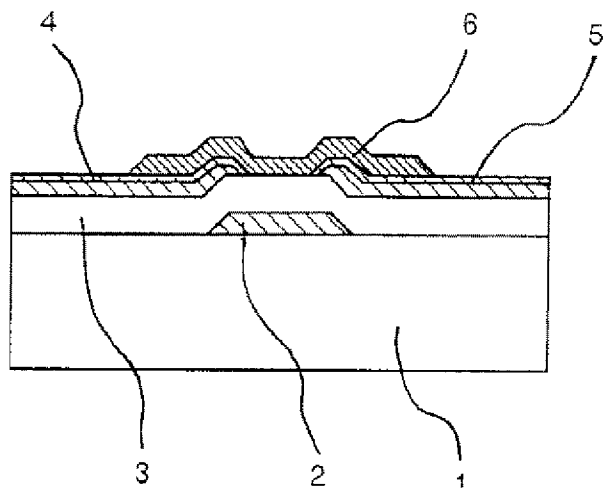
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】しきい値特性の急峻な有機半導体を用いたFET及び、そのFETを用いた低コストで低消費電力、高画質の液晶表示装置を提供する。

【解決手段】基板1上に、ゲート電極2、半導体層3、ドレイン電極4、ソース電極5を有するFETを用いた液晶表示装置において、半導体層3にテトラチオテトラセン、テトラセレンテトラセン、テトラテルルテトラセンあるいはそれらの化合物の誘導体を用いる。

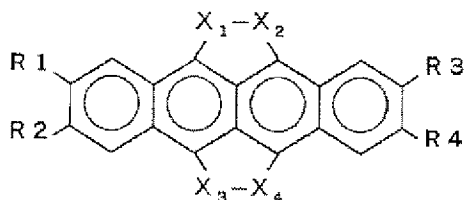
図 1



【特許請求の範囲】

【請求項1】半導体層に下記一般式（化1）（ X_1 , X_2 , X_3 , X_4 のそれぞれはS, SeもしくはTeを表わす。また、R1, R2, R3, R4は水素もしくはアルキル, ハロゲンなどの置換基を表わす。）で表わされる化合物を用いた電界効果型トランジスタを有する液晶表示装置。

【化1】



【請求項2】請求項1において、前記化合物の X_1 , X_2 , X_3 , X_4 の全てに、S, SeもしくはTeを有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体層に有機化合物を用いた液晶表示装置に関する。

【0002】

【従来の技術】従来の電界効果型トランジスタは、半導体層としてシリコンや、GaAs単結晶を用いたものが知られており、実用に供されている。しかし、これらは高価であるため、より安価な有機半導体、すなわち有機物質であり、かつ電気的に半導体的特性を有するもの、具体的にはポリアセチレンを使用した電界効果型トランジスタ（FET）素子が報告されている（エビサワ他、ジャーナル オブ アプライド フィジックス、第54巻、No. 6、3255-3269頁、F. Ebisawa et al. : Journal of Applied Physics, Vol. 54, No. 6, pp. 3255-3269）。

【0003】また、半導体膜にチオフェンオリゴマを用いたFET（特開平8-228035号）や、ペンタセンを用いたFET（Y-Y. Lin, D. J. Gundlach, S. F. Neison, and T. N. Jackson, IEEE Transactions on Electron Device, Vol. 44, No. 8 pp. 1325-1331（1987））が報告されている。

【0004】特に、半導体層にペンタセンを用いたFETでは電界効果移動度が $1.5 \text{ cm}^2/\text{Vs}$ と、半導体層に非晶質Siを用いたFETと比較しても高い値を示している。

【0005】

【発明が解決しようとする課題】しかし、これらの半導体層に有機物質を用いたFETでは、しきい値付近のスイッチング特性の急峻性を示すS値（Subthreshold Swing）が大きいという欠点がある。 $1.5 \text{ cm}^2/\text{Vs}$ と高い移動度を示すペンタセンを用いたTFTのS値は $1.57 \text{ V}/\text{dec}$ であり、非晶質Siを用いたFETの標準的

な値（ $0.5-1.0 \text{ V}/\text{dec}$ ）と比較しても大きくなっている。

【0006】このため、これらの有機FETで十分なオンオフ比を得ようとする、ゲート電圧を大きく変化させる必要が生じる。このため、FETを駆動するため高耐圧のドライバーが必要となり、例えば液晶ディスプレイに応用する際、コストが高くなる。また、ゲート電圧の振幅を大きくとる必要があり、消費電力も大きくなる。

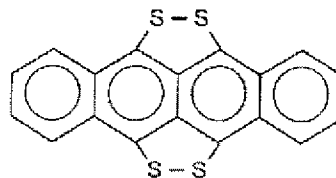
【0007】そこで本発明の目的は、S値が小さく移動度の大きい半導体層に有機物質を用いたFETを提供することにある。そして、本発明の他の目的は、有機FETを用いた液晶表示装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため半導体層にテトラチオテトラセン（化2）、

【0009】

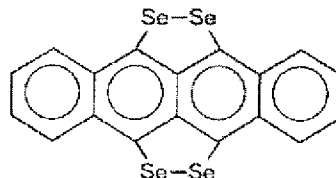
【化2】



【0010】テトラセレンテトラセン（化3）、

【0011】

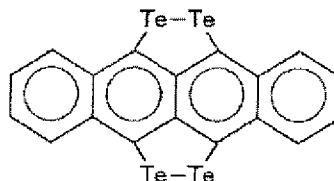
【化3】



【0012】テトラテルルテトラセン（化4）

【0013】

【化4】



【0014】またはそれらの誘導体を適用した。これらの化合物はペンタセンと同様に分子中に多数のベンゼン環を有する。このため、ペンタセンと同様に縮合 π 共役系となっている。このため、これらの化合物を半導体層に用いることにより高い移動度を得ることができる。

【0015】また、これらの化合物は、ペンタセンと異なり、S, SeやTeを含有している。このためこれらの化合物ではHOMO（最高被占分子軌道）とLUMO

(最低空分子軌道)の差が小さくなる。したがってFETの半導体層にこれらの有機化合物を用いると、ゲート電圧印加によってキャリアを効率良く発生させることができる。このため、低いS値を示すFETを作製することが可能になる。

【0016】このFETでは、ゲート電圧の振幅範囲を小さくしても十分なオン/オフ比を得ることができる。したがって、このFETを駆動するのに高耐圧のドライバを適用する必要がなくなるため、このFETを用いた液晶表示装置のコストを低減することが可能になる。また、ゲート電圧の振幅範囲を小さくすることで、消費電力の低減という効果が生まれる。このFETを液晶ディスプレイに適用することにより、とびこみ電圧の防止が実現でき、画質を向上させることができる消費電力を低減することができ、バッテリーなどで駆動する際、長時間使用することが可能になる。

【0017】又、このFETは無機半導体とは異なり、高温のプロセスを省略できるため、プラスチック基板上に形成することも可能であり、軽量のLCDやメモ리카ードEL素子等の他の半導体素子に形成できる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について、後述する実施例の図面(図1～図5)を参照して説明する。本発明の実施の形態は、以下の構成によって実現される。絶縁性基板1上にゲート電極2を形成する。ゲート電極としてはCr, Al, Ta, Mo, Nb, Cu, Ag, Au, Pt, Pd, In, Ni, Ndやそれらの金属を用いた合金、ポリシリコン、非晶質シリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物(ITO; Indium Tin Oxide)などが挙げられる。また、酸化膜や窒化膜等で2層以上の膜を積層してもよい。蒸着やスパッタリング法などで成膜したあとホトリソグラフィ工程、エッチング工程でゲート電極形状に加工する。

【0019】ついで、ゲート絶縁層3を形成する。ゲート絶縁層3としては SiO_2 , SiN , Al_2O_3 などの無機材料やポリクロロピレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルプルラン、ポリメチルメタクリレート、ポリサルフォン、ポリカーボネート、ポリイミドなどの有機材料が挙げられる。また、2層以上の膜を積層してもよい。

【0020】この上にドレイン電極4、ソース電極5を形成加工する。ドレイン電極、ソース電極の材料としてはCr, Al, Ta, Mo, Nb, Cu, Ag, Au, Pt, Pd, In, Ni, Ndやそれらの金属を用いた合金、ポリシリコン、非晶質シリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物(ITO; Indium Tin Oxide)などが挙げられる。また、酸化膜や窒化膜等で2層以上の膜を積層してもよい。蒸着やスパッタリング

法などで成膜したあとホトリソグラフィ工程、エッチング工程でドレイン電極およびソース電極形状に加工する。

【0021】液晶ディスプレイを作製する際は、画素電極を形成する必要がある。画素電極として透過型液晶ディスプレイでは錫酸化物、酸化インジウム、ITOなどの透明導電膜を用いる。また、反射型ディスプレイでは、Al, Agなどの金属を用いる。画素電極にソース電極と同じ材料を使用する場合、画素電極をソース電極と同時に形成加工することができる。また、異なる材料を使用する場合は、ソース電極を形成加工する前あるいは後に画素電極を形成加工する。

【0022】ついで半導体層を形成する。本発明ではこの半導体層にテトラチオテトラセン、テラセノテトラセン、テトラテルテトラセンやそれらの化合物の誘導体を用いた。これらの化合物を蒸着法や塗布法で形成する。この際マスク蒸着を用いて半導体層をパターンニングする方法がある。または、膜形成後ホトリソグラフィ工程、エッチング工程で半導体層の形状に加工する方法もある。

【0023】さらにこの上に、保護層として有機絶縁膜やSOG(Spin On Glass)などを塗布法などで形成する。もちろん保護層の材料はこれらに限定されるわけではない。また、2層以上の膜を積層してもよい。ゲート電極、ドレイン電極の端子部、あるいは画素電極を露出するためには保護膜にスルーホールを形成する必要がある。スルーホールを加工するためには、保護層をホトリソグラフィ工程、エッチング工程でエッチングする方法や、保護層に感光性の有機絶縁膜やSOGを用いる方法がある。

【0024】以上の工程により本発明のFETを作製することができ、液晶ディスプレイを作製するためには、この上に配向膜を形成し配向処理をした後対向基板と張合せ液晶を封入する。

【0025】(実施例)以下、本発明による実施例について図面を参照して説明する。

【0026】「実施例1」図1に本発明による一実施例のFETの断面図を示す。この図面を用いて第1実施例について説明する。

【0027】絶縁性基板1上に厚さ150nmのCr膜をスパッタリング法により形成した。ついで、ホトリソグラフィ工程、エッチング工程によりゲート電極2に加工した。その上にゲート絶縁層3として $\text{SiH}_4 + \text{N}_2\text{O}$ を原料ガスとしたプラズマCVD法で厚さ200nmの SiO_2 膜を成膜した。ついで、ホトリソグラフィ工程、エッチング工程により電極端子部のスルーホールを形成した。その上に厚さ100nmのCr膜をスパッタリング法により成膜し、ホトリソグラフィ工程、エッチング工程によりドレイン電極およびソース電極の形状に加工した。さらに厚さ50nmのAuを蒸着法に

より成膜し、Cr膜と同様にホトリソグラフィ工程、エッチング工程によりドレイン電極4およびソース電極5に加工した。

【0028】この上に半導体層として厚さ100nmのテトラチオテトラセンを蒸着法により成膜した。この際、半導体層を島状に形成するためにマスク蒸着法を用いた。以上の工程によりFETを作製することができた。作製したFETの移動度は $1\text{ cm}^2/\text{Vs}$ と良好な値を示した。また、S値は $0.7\text{ V}/\text{dec}$ とa-Si FETとほぼ同等の値を持つことがわかった。

【0029】「実施例2」図1を用いて第2実施例について説明する。

【0030】実施例1と同様の方法で絶縁基板1上にゲート電極2、ゲート絶縁層3、ドレイン電極4、ソース電極5を形成した。この上に半導体層6として厚さ100nmのテトラセレンテトラセンを蒸着法により成膜した。この際、半導体層を島状に形成するためにマスク蒸着法を用いた。以上の工程によりFETを作製することができた。作製したFETの移動度は $1.5\text{ cm}^2/\text{Vs}$ と良好な値を示した。また、S値は $0.8\text{ V}/\text{dec}$ とa-Si FETとほぼ同等の値を持つことがわかった。

【0031】「実施例3」図1を用いて第3実施例について説明する。

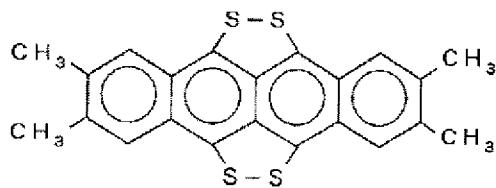
【0032】実施例1と同様の方法で絶縁基板1上にゲート電極2、ゲート絶縁層3、ドレイン電極4、ソース電極5を形成した。この上に半導体層6として厚さ100nmのテトラテルテトラセンを蒸着法により成膜した。この際、半導体層を島状に形成するためにマスク蒸着法を用いた。以上の工程によりFETを作製することができた。作製したFETの移動度は $2\text{ cm}^2/\text{Vs}$ と良好な値を示した。また、S値は $0.7\text{ V}/\text{dec}$ とa-Si FETとほぼ同等の値を持つことがわかった。

【0033】「実施例4」図1を用いて第4実施例について説明する。

【0034】実施例1と同様の方法で絶縁基板1上にゲート電極2、ゲート絶縁層3、ドレイン電極4、ソース電極5を形成した。この上に半導体層6として厚さ100nmの下図の化合物（化5）を蒸着法により成膜した。

【0035】

【化5】



【0036】この際、半導体層を島状に形成するためにマスク蒸着法を用いた。以上の工程によりFETを作製することができた。作製したFETの移動度は $3\text{ cm}^2/\text{Vs}$

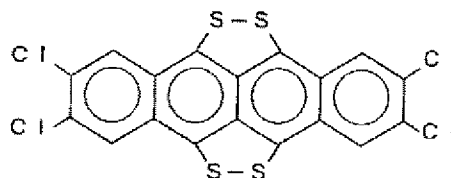
と良好な値を示した。また、S値は $0.6\text{ V}/\text{dec}$ とa-Si FETとほぼ同等の値を持つことがわかった。

【0037】「実施例5」図1を用いて第5実施例について説明する。

【0038】実施例1と同様の方法で絶縁基板1上にゲート電極2、ゲート絶縁層3、ドレイン電極4、ソース電極5を形成した。この上に半導体層6として厚さ100nmの下図の化合物（化6）を蒸着法により成膜した。

【0039】

【化6】



【0040】この際、半導体層を島状に形成するためにマスク蒸着法を用いた。以上の工程によりFETを作製することができた。作製したFETの移動度は $3\text{ cm}^2/\text{Vs}$ と良好な値を示した。また、S値は $0.6\text{ V}/\text{dec}$ とa-Si FETとほぼ同等の値を持つことがわかった。

【0041】「実施例6」図2に本発明による一実施例のアクティブマトリックス基板の画素部の平面図、図3に要部断面図（A-A'断面）を示す。また、図4に液晶ディスプレイの断面図を示す。これらの図面を用いて第6実施例について説明する。

【0042】絶縁性基板1上に厚さ150nmのCr膜をスパッタリング法により形成した。ついで、ホトリソグラフィ工程、エッチング工程によりゲート配線7に加工した。その上に、ゲート絶縁層3として $\text{SiH}_4 + \text{N}_2\text{O}$ を原料ガスとしたプラズマCVD法で厚さ200nmの SiO_2 膜を成膜した。ついで、ホトリソグラフィ工程、エッチング工程により電極端子部のスルーホールを形成した。その上に透明導電膜として厚さ140nmのITOをスパッタリング法で成膜した。ついで、ホトリソグラフィ工程、エッチング工程により画素電極8および電極端子部の被覆層を形成した。その上に厚さ100nmのCr膜をスパッタリング法により成膜し、ホトリソグラフィ工程、エッチング工程によりドレイン配線およびソース電極形状に加工した。さらに厚さ50nmのAuを蒸着法により成膜し、Cr膜と同様にホトリソグラフィ工程、エッチング工程によりドレイン配線9およびソース電極5に加工した。

【0043】この上に半導体層6として厚さ100nmのテトラチオテトラセンを蒸着法により成膜した。ついで、ホトリソグラフィ工程、エッチング工程により島状に半導体層を形成した。この際、ホトリソグラフィ

工程のレジスト10として感光性のベンゾシクロブテン（BCB）を用い、エッチング工程後も除去せずに半導体層上に残した。これにより、有機半導体膜のレジスト除去時のダメージを低減できる。さらに、保護層11としてBCBを300nmの厚さに形成しホトリソグラフィにより端子部および画素電極上のスルーホールを形成した。以上の工程によりアクティブマトリックス基板を作製した。

【0044】 についてアクティブマトリックス基板12上に厚さ200nmの配向膜13をスピンコート法で形成し配向処理した後、直径5 μ mスペーサビーズ14を散布し対向基板15と張合せた。液晶16を封入した後、パネルの両面に偏向板17を貼合せ液晶パネルを作製した。端子部に駆動用のドライバーチップ18を実装しバックライト19を装着して液晶ディスプレイを作製した。この液晶ディスプレイはゲート駆動電圧-10V、+20Vとa-SiFETを用いた液晶パネルと同等である。この条件でコントラスト100以上と良好な画質を得ることができた。

【0045】 「実施例7」図5に本発明による一実施例のアクティブマトリックス基板の画素部の平面図、図6に要部断面図（B-B'断面）を示す。また、図7に液晶ディスプレイの断面図を示す。これらの図面を用いて第7実施例について説明する。

【0046】 絶縁性基板1上に厚さ150nmのCr膜をスパッタリング法により形成した。ついで、ホトリソグラフィ工程、エッチング工程によりゲート配線7に加工した。その上に、ゲート絶縁層3としてSiH₄+N₂Oを原料ガスとしたプラズマCVD法で厚さ200nmのSiO₂膜を成膜した。ついで、ホトリソグラフィ工程、エッチング工程により電極端子部のスルーホールを形成した。その上に厚さ100nmのCr膜をスパッタリング法により成膜し、ホトリソグラフィ工程、エッチング工程によりドレイン配線およびソース電極形状に加工した。さらに厚さ50nmのAuを蒸着法により成膜し、Cr膜と同様にホトリソグラフィ工程、エッチング工程によりドレイン配線9およびソース電極5に加工した。その上に厚さ100nmのAlをスパッタリング法で成膜した。ついで、ホトリソグラフィ工程、エッチング工程により画素電極8を形成した。

【0047】 この上に半導体層6として厚さ100nmのテトラチオテトラセンを蒸着法により成膜した。ついで、ホトリソグラフィ工程、エッチング工程により島状に半導体層を形成した。この際、ホトリソグラフィ工程のレジスト10として感光性のBCBを用い、エッ

チング工程後も除去せずに半導体層上に残した。これにより、有機半導体膜のレジスト除去時のダメージを低減できる。さらに、保護層11としてBCBを300nmの厚さに形成しホトリソグラフィにより端子部のスルーホールを形成した。以上の工程によりアクティブマトリックス基板を作製した。

【0048】 についてアクティブマトリックス基板12上に厚さ200nmの配向膜13をスピンコート法で形成し配向処理した後、直径4 μ mスペーサビーズ14を散布し対向基板15と張合せた。液晶16を封入した後、パネルの表面に偏向板17を貼合せ液晶パネルを作製した。端子部に駆動用のドライバーチップ18を実装して反射型液晶ディスプレイを作製した。この液晶ディスプレイはゲート駆動電圧-10V、+20Vとa-SiFETを用いた液晶パネルと同等である。この条件でコントラスト10以上と良好な画質を得ることができた。

【0049】

【発明の効果】 上記発明によれば、しきい値特性の良好な有機半導体を用いたFET作製できる。このFETを適用することにより低コストで低消費電力で高画質の液晶表示装置を提供することが可能になる。

【図面の簡単な説明】

【図1】 本発明による実施例のFETの断面図である。

【図2】 第6実施例のアクティブマトリックス基板の画素部平面図である。

【図3】 第6実施例のアクティブマトリックス基板の要部断面図（A-A'断面）である。

【図4】 第6実施例の液晶ディスプレイの要部断面図である。

【図5】 第7実施例のアクティブマトリックス基板の画素部平面図である。

【図6】 第7実施例のアクティブマトリックス基板の要部断面図（B-B'断面）である。

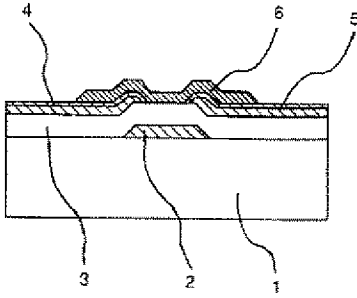
【図7】 第7実施例の液晶ディスプレイの要部断面図である。

【符号の説明】

1…絶縁基板、2…ゲート電極、3…ゲート絶縁層、4…ドレイン電極、5…ソース電極、6…半導体層、7…ゲート配線、8…画素電極、9…ドレイン配線、10…レジスト、11…保護層、12…アクティブマトリックス基板、13…配向膜、14…スペーサビーズ、15…対向基板、16…液晶、17…偏向板、18…ドライバーチップ、19…バックライト、20…カラーフィルタ、21…対向電極。

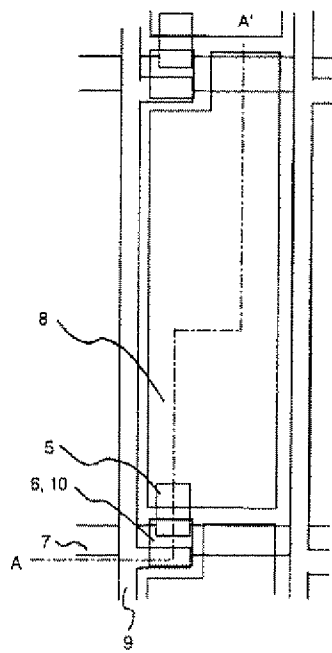
【図1】

図 1



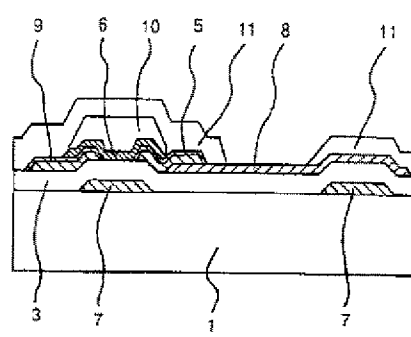
【図2】

図 2



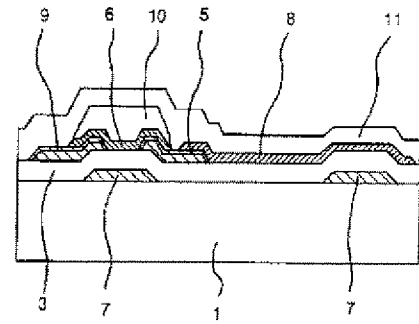
【図3】

図 3



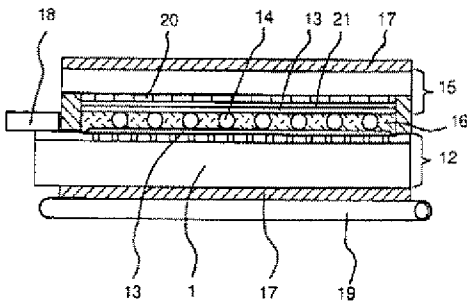
【図6】

図 6



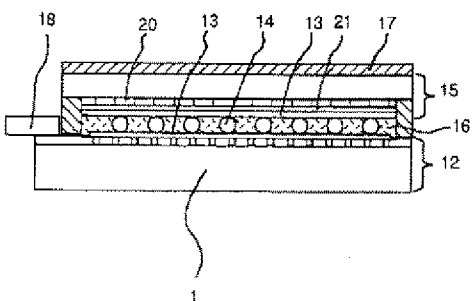
【図4】

図 4



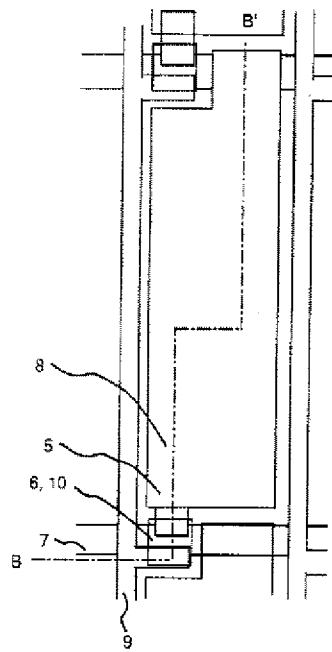
【図7】

図 7



【図5】

図 5



フロントページの続き

(72)発明者 荒谷 介和

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 安藤 正彦

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

F ターム(参考) 2H092 KA05 KA09 KA12 KA13 KA18

KA20 KB13 KB14 KB24 MA04

MA05 MA08 MA13 MA17 NA24

NA25 NA28